

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 7 月 10 日 (10.07.2003)

PCT

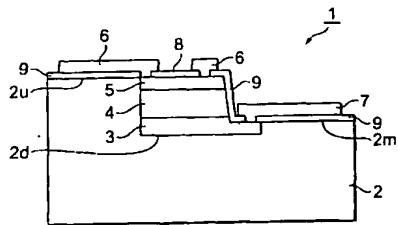
(10) 国際公開番号
WO 03/056634 A1

- (51) 国際特許分類: H01L 31/10 (72) 発明者; および
(21) 国際出願番号: PCT/JP02/13717 (75) 発明者/出願人 (米国についてのみ): 中嶋 和利 (NAKA-JIMA, Kazutoshi) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (22) 国際出願日: 2002 年 12 月 26 日 (26.12.2002) (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都 中央区 銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo (JP).
- (25) 国際出願の言語: 日本語 (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-397959
2001 年 12 月 27 日 (27.12.2001) JP (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 Shizuoka (JP).

[続葉有]

(54) Title: SEMICONDUCTOR PHOTODETECTOR AND ITS PRODUCTION METHOD

(54) 発明の名称: 半導体受光素子及びその製造方法



(57) Abstract: A semiconductor photodetector (1) has three flat steps of different heights over a semi-insulating GaAs substrate (2). Over the lower step formed in the central part of the semi-insulating GaAs substrate (2), an n-type GaAs layer (3), an i-type GaAs layer (4), and a p-type GaAs layer (5) are formed in a multilayer structure. On the p-type GaAs layer (5) and the top flat step of the semi-insulating GaAs substrate (2), a p-side ohmic electrode (6) are formed. On the n-type GaAs layer (3) and the intermediate flat step of the semi-insulating GaAs substrate (2), an n-side ohmic electrode (7) is formed.

(57) 要約:

本発明に係る半導体受光素子 1 によれば、半絶縁性 GaAs 基板 2 の上面部に、高さの異なる三段階の平坦面が形成されている。また、半絶縁性 GaAs 基板 2 の中央部に形成された下段面上には、n 型 GaAs 層 3 と i 型 GaAs 層 4 と p 型 GaAs 層 5 が順次積層されている。更に、p 型 GaAs 層 5 と半絶縁性 GaAs 基板 2 の上段面が為す平坦面上に p 側オーミック電極 6 が跨設され、n 型 GaAs 層 3 と半絶縁性 GaAs 基板 2 の中段面が為す平坦面上に n 側オーミック電極 7 が跨設されている。

WO 03/056634 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体受光素子及びその製造方法

技術分野

本発明は、半導体受光素子及びその製造方法に関するものである。

5 背景技術

従来、フォトダイオード (PD) やアバランシェ・フォトダイオード (APD) 等の光電変換素子は、高濃度の P 型又は N 型半導体基板上に、結晶成長法や不純物拡散法等により p n 接合された半導体層を形成して作製されている。また、近年では、高受光感度及び高速応答性の観点から、電極と電氣的接続する為のボンディングパッドを含む電極を半絶縁性基板上に配設した半導体受光素子が開発、実用化されている。

例えば、特開昭 63-285971 号公報 (文献 1) においては、特性の異なる 2 種類の半導体層を半絶縁性基板の同一平面上に露出させて、平坦面上への電極配置を可能とした半導体受光装置が開示されている。この様な半導体受光装置は、低容量化の観点から有用であったが、製造過程において半絶縁性基板平面部に深度差の僅少な 2 段階の窪み部分を形成する上に、当該窪み部分に積層された半導体層と、フォトリソなどの特性の異なる物質とを、ほぼ等速度でエッチバックするという特殊な技術が必要であった。

上術の様な問題点を改善する為の技術として、半絶縁性基板の平面上にメサ状に結晶成長された 2 種類の半導体層を有し、該半導体層の露出部分に電極を配設した半導体受光素子が開示されている。この様な半導体受光素子は、例えば特開平 2-105584 号公報 (文献 2) に従来例として開示されている。

発明の開示

しかしながら、文献 2 に記載された技術においては、半導体受光素子の半絶縁性基板の形状加工及び特殊なエッチング技術を必要としない反面、半絶縁性基板平面部と半導体層との間に層厚分の急峻な段差が生じる。この様な段差部分に電

極配線を施すのは、被覆性の劣化に伴う断線や絶縁不良の原因となるのみならず、煩雑かつ困難なプロセスを要する。その結果、作製された半導体受光素子の歩留まりや再現性が低下し、製品としての信頼性が悪化する等の問題があった。

そこで、本発明は、上述の事情に鑑みてなされたものであり、歩留まりと再現性を向上した半導体受光素子を容易に作製することを目的とする。

上記課題を達成するために、本発明に係る半導体受光素子は、夫々高さの異なる上段面、中段面、下段面を上面部に有し、下段面が上段面と中段面との間に位置する半絶縁性基板と、下段面の直上に形成され、中段面と同等の高さの平坦面状に形成された第1上面部と、該第1上面部と同等或いは高位の高さである第2上面部を有する、第1不純物を含む第1半導体層と、第1半導体層の第2上面部に形成され、上段面と同等の高さの平坦面状に形成された上面部を有する、第2不純物を含む第2半導体層と、第1半導体層の第1上面部と半絶縁性基板の中段面の上に両者を跨いで設けられた第1電極と、第2半導体層の上面部と半絶縁性基板の上段面の上に両者を跨いで設けられた第2電極と、を備えたことを特徴としている。

上記構成を有する半導体受光素子によれば、第1半導体層の上面部（表面）の少なくとも一部分が半絶縁性基板の中段面と同じ高さの平坦な面を為し、第2半導体層の上面部（表面）が半絶縁性基板の上段面と同じ高さの平坦な面を為す構造となる。従って、各半導体層に接触する電極を共に連続した平坦面の上に配設することができる。その結果、段差部分を跨いで電極を設置する場合と比較して、断線及び絶縁不良の恐れが少ない半導体受光素子の提供が可能となる。

また、第1半導体層と第2半導体層間に形成され、第1半導体層又は第2半導体層のキャリア濃度と比較して低いキャリア濃度の第3半導体層を更に備えることで、第3半導体層を光吸収層とする半導体受光素子を構成できる。この場合に、第3半導体層を入射光の波長で決まる光吸収長に対して最適な厚さに設定すれば、光吸収効率の高い半導体受光素子を構成できる。

また、半絶縁性基板の上段面と下段面の高低差より成る段差部分は、下段面から上段面に向かう方向で、上段面と中段面で形成される窪みの半径方向に傾斜している。したがって、段差部分近傍における各半導体層の這い上がりを抑止して表面部分における第2半導体層の突起を小さくできる。その結果、より平坦な面上に第2電極を設置することが可能となる。

本発明に係る半導体受光素子の製造方法は、エッチングにより半絶縁性基板に凹部を形成する第1の工程と、第1の工程にて形成された半絶縁性基板の凹部のみ選択的に、第1不純物を含む第1半導体層と第2不純物を含む第2半導体層を積層する第2の工程と、第2の工程にて積層された第1半導体層の少なくとも一部が露出する様に、半絶縁性基板の一部を更にエッチングする第3の工程と、第3の工程にて露出された第1半導体層の露出部分に接触する第1電極、及び第2半導体層に接触する第2電極を半絶縁性基板上に配設する第4の工程と、を含むことを特徴としている。

上述した製造方法によれば、半絶縁性基板自体に段差を設けることで、特殊なエッチング技術を用いることなく、電極が半絶縁性基板の平坦面上に配設された断線の恐れのない半導体受光素子を容易に作製できる。その結果、歩留まりと再現性に優れた半導体受光素子を提供することが可能となる。

また、選択成長の容易性の観点から、第2の工程では、気相成長法により第1半導体層と第2半導体層を積層することが好ましい。

更に、表面部分における半導体層の突起を極力抑える為、第1の工程では、第1電極と第2電極を結ぶ方向の断面形状における側壁部分の内、少なくとも第2電極側の側壁部分が逆メサ状（側壁部分が凹部底面の半径方向に傾斜する凹部形状）になる様に半絶縁性基板の凹部を形成することが好ましい。各半導体層は凹部形状に従って成型されるので、凹部をこの様な断面形状にすれば、積層工程において段差部分近傍の半導体層の這い上がりが少なくなり、表面部分の突起を抑止できる。その結果、より平坦な面上に電極配線を行うことができ、半導体受光

素子の歩留まりや再現性を一層向上できる。

尚、凹部の断面形状において、少なくとも第2電極側の側壁部分が逆メサ状に形成されていれば、第1電極側の側壁部分が順メサ状に形成されていても、その部分の半絶縁性基板を更にエッチングすることにより上述した効果が得られる。

5 図面の簡単な説明

図1Aは第1実施形態に係る半導体受光素子の平面図、図1BはA-A'における半導体受光素子の断面図である。

図2Aは第1実施形態に係る半導体受光素子の凹部形成工程を示す半導体受光素子の平面図、図2B及び図2Cは積層工程を夫々示す図である。

10 図3Aは第2実施形態に係る半導体受光素子の凹部形成工程を示す図、図3Bは積層工程を示す図、図3Cは露出工程を示す図、図3Dは図3Aに対応する平面図、図3Eは図3Cに対応する平面図である。

15 図4Aは第3実施形態に係る半導体受光素子の凹部形成工程を示す図、図4Bは積層工程を示す図、図4Cは露出工程を示す図、図4Dは図4Aに対応する平面図、図4Eは図4Cに対応する平面図である。

図5Aは第4実施形態に係る半導体受光素子の凹部形成工程を示す図、図5Bは積層工程を示す図、図5Cは露出工程を示す図である、図5Dは図5Aに対応する平面図、図5Eは図5Cに対応する平面図である。

20 図6Aは第5実施形態に係る半導体受光素子の凹部形成工程を示す図、図6Bは積層工程を示す図、図6Cは露出工程を示す図、図6Dは図6Aに対応する平面図、図6Eは図6Cに対応する平面図である。

図7Aは第6実施形態に係る半導体受光素子の凹部形成工程を示す図、図7Bは積層工程を示す図、図7Cは露出工程を示す図、図7Dは図7Aに対応する平面図、図7Eは図7Cに対応する平面図である。

25 図8Aは第7実施形態に係る半導体受光素子の凹部形成工程を示す図、図8Bは積層工程を示す図、図8Cは露出工程を示す図、図8Dは図8Aに対応する平

面図、図 8 E は図 8 C に対応する平面図である。

図 9 A は第 8 実施形態に係る半導体受光素子の凹部形成工程を示す図、図 9 B は積層工程を示す図、図 9 C は露出工程を示す図、図 9 D は図 9 A に対応する平面図、図 9 E は図 9 C に対応する平面図である。

- 5 図 10 A は第 9 実施形態に係る半導体受光素子の凹部形成工程を示す図、図 10 B は積層工程を示す図、図 10 C は露出工程を示す図、図 10 D は図 10 A に対応する平面図、図 10 E は図 10 C に対応する平面図である。

発明を実施するための最良の形態

- 10 以下、添付図面を参照して、本発明に係る半導体受光素子、及び半導体受光素子の製造方法の好適な実施形態について詳細に説明する。尚、以下の説明において、同一又は相当する要素には、同一の符号を付し、重複する説明は省略する。また、図面の比率は、説明のものと必ずしも一致するものではない。

(第 1 実施形態)

- 15 図 1 A は第 1 実施形態に係る半導体受光素子 1 の概略平面図であり、図 1 B は図 1 A 中の一点鎖線 A A' における概略断面図である。まず、構成を説明する。図 1 B に示す様に、半絶縁性 GaAs 基板 2 は、高さの異なる 3 つの上面部（以下、「上段面」、「中段面」、「下段面」と記し、図 1 B 中ではそれぞれ 2 u、2 m、2 d と示されている。）を有する。各段面の高さは、上段面、中段面、下段面の順に高く、上段面と中段面との高低差は、好ましくは 1 ~ 5 μm （具体的には 2.5 μm ）程度である。中段面と下段面との高低差は、好ましくは 0.1 ~ 2 μm （具体的には 0.5 μm ）程度である。また、各段面は、上段面と中段面が下段面を水平方向に挟む（即ち、下段面が上段面と中段面の間に存する）様に形成されている。これにより、下段面を底面とし、下段面と上段面との為す段差の一部分及び下段面と中段面との為す段差部分を側壁とする、上段面から下段面（窪み部分の底面）までの深さ 1 ~ 7 μm （具体的には 3 μm ）程度の窪み部分が基板中央部に形成されている。
- 20
- 25

この窪み部分には、好ましくは $0.5 \sim 2 \mu\text{m}$ （具体的には $1 \mu\text{m}$ ）程度の層厚を有し、第1不純物を含むn型GaAs層3が堆積により満たされている。n型GaAs層3の上面には、高低差の異なる2つの上面部が存在する。即ち、基板中段面側に形成されている低い方の上面部（以下、「第1上面部」と記す。）は、中段面と同等の高さであり、中断面に連続している。これにより、後述のn側オーミック電極7を連続した平坦面を成す第1上面部及び中断面の上に設置することができ、段差部分を跨いで設置する場合と比較して被覆性劣化に伴う断線及び絶縁不良を抑止することが可能となる。

また、基板上段面側に形成されている高い方の上面部（以下、「第2上面部」と記す。）は、中段面より、好ましくは $0.2 \sim 1 \mu\text{m}$ （具体的には $0.5 \mu\text{m}$ ）程度高い。また、第2上面部は、第1上面部より広く形成されている。n型GaAs層3の第2上面部の直上には、好ましくは $0.5 \sim 5 \mu\text{m}$ （具体的には $2 \mu\text{m}$ ）程度の層厚を有するi型GaAs層4が第2上面部を完全に被覆する様に積層されている。

更に、i型GaAs層4の直上には、好ましくは $0.005 \sim 0.02 \mu\text{m}$ （具体的には $0.01 \mu\text{m}$ ）程度の層厚を有し、第2不純物を含むp型GaAs層5がi型GaAs層4の上面を完全に被覆する様に積層されている。各GaAs層は、n型GaAs層3、i型GaAs層4、p型GaAs層5の順に堆積され、厚さの合計は、上段面と下段面との高低差である $3 \mu\text{m}$ 程度である。即ち、p型GaAs層5は、半絶縁性GaAs基板2の上段面と同等の高さであり、上段面に連続している。連続した平坦面を成すp型GaAs層5の表面及び上断面の上に、後述のp側オーミック電極6を設置すれば、被覆性を向上でき、断線や絶縁不良の恐れが少なくなる。

i型GaAs層4は、n型GaAs層3と比較してキャリア濃度が低く、層厚は、好ましくは $0.5 \sim 5 \mu\text{m}$ 、具体的には $2 \mu\text{m}$ 程度であり、光吸収に寄与する空乏領域の厚さを規定している。この層厚を入射光の波長で決まる光吸収長に対

して最適な値に設定することにより、受光感度の高い半導体受光素子を実現できる。

一方、各GaAs層の下段面側縁端部は、上段面と中段面の高低差により成る段差部分（即ち、図中崖状の側壁部分）を形成する。該段差部分には、素子の耐圧性を維持しショートを防止する為の絶縁膜9が被覆されている。絶縁膜9は、半絶縁性GaAs基板2の上段面と下段面も被覆している。更に、反射防止膜8は、p型GaAs層5の上面中央部を被覆する様に形成されている。

p側オーミック電極6は、半絶縁性GaAs基板2の上段面とp型GaAs層5上に、絶縁膜9と反射防止膜8を介在して跨設されている。また、p側オーミック電極6は、図1Aに示す様に、半絶縁性GaAs基板2の上段面において円形状に形成され、p型GaAs層5の上面においては、反射防止膜8の周囲に円環状に形成されている。そして、p型GaAs層5上面に形成された絶縁膜9と反射防止膜8との隙間部分を埋め込む様に、p側オーミック電極6がp型GaAs層5に電氣的に接触している。

n側オーミック電極7は、半絶縁性GaAs基板2の中段面とn型GaAs層3の第1上面部上に、絶縁膜9を介在して跨設されている。また、n側オーミック電極7は、図1Aに示す様に、各半導体層が積層された領域を挟んでp側オーミック電極6と対向する位置（即ち、半絶縁性GaAs基板2の中段面上）に、p側オーミック電極6と略同一半径の円形状に形成されている。一方、n型GaAs層3の上面においては、p側オーミック電極6と一定の間隙を隔てて環状の様に形成されている。そして、n型GaAs層3上面に形成された絶縁膜9の隙間部分を埋め込む様に、n側オーミック電極7がn型GaAs層3に電氣的に接触している。該接触部分を除き、n側オーミック電極7は、n型GaAs層3と非接触である。

また、p側とn側の各オーミック電極は、導電線（図示せず）を介して駆動電源（図示せず）と接続されている。尚、各GaAs層により形成された図中崖状

の側壁部分には絶縁膜 9 のみ被覆されており、何れのオーミック電極も当該側壁部分に掛かることなく配設されている。

次に、半導体受光素子 1 の製造方法について説明する。図 2 A、図 2 B、図 2 C は、本発明の第 1 実施形態に係る半導体受光素子 1 の製造工程を示す概略断面図である。まず、①プラズマ CVD (Chemical Vapor Deposition) 等の結晶成長法によって、半絶縁性 GaAs 基板 2 上に選択成長用保護膜 10 としてシリコン酸化膜を堆積する。次いで、フォトリソグラフィ技術を用いて、選択成長用保護膜 10 を選択的にエッチングすることにより半絶縁性 GaAs 基板 2 の上面一部分を露出させる。そして、半導体受光素子 1 を所定の組成比で生成された混合液に浸すことにより、露出された半絶縁性 GaAs 基板 2 の上面一部分のみを化学エッチングする。その結果、半導体受光素子 1 は、図 2 A の平面図及び図 2 B の断面図に示す様な形状になる。

次に、②減圧 MOCVD (Metal Organic Chemical Vapor Deposition) 等の結晶成長法によって、半絶縁性 GaAs 基板 2 上に、n 型 GaAs 層 3、i 型 GaAs 層 4、及び p 型 GaAs 層 5 を順次堆積成長させる。この工程において、選択成長用保護膜 10 は、表面上への結晶成長を防止し、各 GaAs 層は半絶縁性 GaAs 基板 2 上にのみ連続的に成長する。その結果、半導体受光素子 1 は、図 2 C の概略断面図に示す様に、p 型、i 型、n 型の各 GaAs 層 5、4、3 が半絶縁性 GaAs 基板 2 の凹部内に層を為して装填された状態となる。この際、半絶縁性 GaAs 基板 2 をエッチングする深さと、結晶成長する各 GaAs 層の厚さの合計を等しくすることによって、上面において平坦な形状が得られる。

続いて、③選択成長用保護膜 10 を除去した後に、フォトリソグラフィ技術を用いて、n 型 GaAs 層 3 の上面一部が露出するまで半絶縁性 GaAs 基板 2 の一部分を選択的にエッチングする。これにより、半絶縁性 GaAs 基板 2 の凹部を含む領域にクリフ（崖）状の半導体層が形成される。半導体層形成後、プラズマ CVD 等の結晶成長法によって、p 型 GaAs 層 5 上にシリコン窒化膜 (Si₃

N₄)を堆積して反射防止膜8を生成する。

同様に、半絶縁性GaAs基板2にシリコン窒化膜を被着することにより絶縁膜9を表面保護膜として形成すると共に、半導体層の下段側段差部分にシリコン窒化膜を被着することにより絶縁膜9を側壁保護膜として形成する。なお反射防止膜8と絶縁膜9は各々別々に形成する必要は無く、一回のプラズマCVD工程で堆積したシリコン窒化膜が、それぞれの形成部位によって反射防止膜もしくは絶縁膜として機能しうるものである。そして、n型GaAs層3の露出部分に接触する様にn側オーミック電極7を、p型GaAs層5の露出部分に接触する様にp側オーミック電極6を夫々真空蒸着によって薄膜堆積しパターンニングする。その結果、半導体受光素子1は、図1A、図1Bに示した平面および断面形状になる。

以上説明した様に、本第1実施形態における半導体受光素子1は、エッチングにより形成された半絶縁性GaAs基板2の凹部にのみ、MOCVD等による選択成長法を用いて各半導体層のエピタキシャル成長が施された選択埋め込み型構造のpin型PDとして構成される。従って、n型GaAs層3を露出させる工程において、半導体と全く特性の異なるフォトレジストなどの物質を同時に等速度でエッチバックするという特殊な技術を用いることなく、p側、n側双方の配線電極が半絶縁性GaAs基板2上に配設された低容量の半導体受光素子を作製できる。また、配線電極が半絶縁性基板に対して段差の無い平坦面上に配設されるので、被覆性劣化に伴う断線や絶縁不良の恐れのない半導体受光素子を製造できる。その結果、歩留まりや再現性を向上した半導体受光素子を簡易且つ低コストに実現可能となる。

尚、本実施形態では、半絶縁性基板、及び各半導体層の組成に使用する半導体としてGaAsを例示したが、これに限らず、InP、InGaAs、InAs等のIII-V族半導体の他に、ZnS、SiC等の化合物半導体等任意である。更には、Si、Ge等の単元素半導体であってもよい。また、半絶縁性基板及び

各半導体層は、異種の半導体がヘテロ接合したものであってもよい。n型半導体に添加する不純物（ドナー）としては、S e、S i、P等があり、p型半導体に添加する不純物（アクセプタ）としては、Z n、M g、B等がある。

以下、図3A～図10Eを参照して、本発明の変形態様である他の実施形態について説明する。他の実施形態における半導体受光素子に関しても、基本的構成は第1実施形態で詳述した半導体受光素子の構成と同様であるので、各構成要素には同一の符号を付しその説明は省略すると共に、第1実施形態との差異（凹部形状、積層方法等）について説明する。

（第2実施形態）

図3A、図3B、図3C、図3D、図3Eを参照して、本発明の第2実施形態について説明する。図3A、図3B、図3Cは、本発明の第2実施形態に係る半導体受光素子1の概略断面図であり、図3A、図3B、図3Cの各工程は上記工程①、②、③の順番に実行される。なお、図3Aは図3DのAA'断面を示し、図3Cは図3EのAA'断面を示す図である。

第2実施形態では第1実施形態において記述されていない、凹部形成工程におけるエッチング断面の形状に関して詳細に記述する。具体的には、第2実施形態では、エッチング断面の形状が逆メサ状の場合について説明する。ここで、逆メサ状とは、エッチング断面形状において側壁を為す2辺間の距離が下側に向かう程長くなる状態（所謂ハの字型）をいう。

以下、第2実施形態に係る半導体受光素子1の製造方法について説明する。先ず、フォトリソグラフィ時に、予めエッチング断面が逆メサ方向になる様に設定してパターニングした後、半絶縁性GaAs基板2に化学エッチングを施す。これにより、半導体受光素子1には、図3Aに示す断面形状を有する凹部が形成される。以下、第1実施形態と同様に、図3Bに示す様に、減圧MOCVD等の結晶成長法によって、n型、i型、p型の各半導体層3、4、5を凹部に順次堆積成長する。

凹部が逆メサ形状であるため、段差部分近傍における各GaAs層の這い上がりを抑止して表面部分におけるp型GaAs層5の突起を小さくできる。そして、図3Cに示す様に、n型GaAs層3の上面一部が露出するまで半絶縁性GaAs基板2の一部分を選択的にエッチングした後、反射防止膜8及び絶縁膜9を被着し、オーミック電極6、7を配設する。

上述の様に、第2実施形態における半導体受光素子1は、エッチング断面が逆メサ方向になる様に半絶縁性GaAs基板2に凹部を形成する。従って、半導体層の這い上がり現象に伴う表面部分の突起を極力小さくすることができる。その結果、段差が最小限に抑えられた平坦面上にp側オーミック電極6が配設されるので、断線の恐れはほとんど無くなる。

(第3実施形態)

次に、図4A、図4B、図4C、図4D、図4Eを参照して、本発明の第3実施形態について説明する。図4A、図4B、図4Cは、本発明の第3実施形態に係る半導体受光素子1の概略断面図であり、図4A、図4B、図4Cの各工程は図3A、図3B、図3Cと同様に順次実行される。なお、図4Aは図4DのAA'断面に、図4Cは図4EのAA'断面に対応する。

第3実施形態は、下段部である凹部を中心として（間に挟んで）、オーミック電極6、7とが略90°の角度を成すように配置された点、及び断面形状が2つの電極側で異なる点において、第2実施形態と相違する。

図4Cに示す様に、半絶縁性GaAs基板2の凹部は、p側オーミック電極6とn側オーミック電極7を結ぶ方向の断面形状を形成する二つの側壁部分の内、p側オーミック電極6側のみ逆メサ状になる様に形成されている。この様な断面形状では、図4Eの平面図に示す様に、p側オーミック電極6とn側オーミック電極7とが直角を為す様に配設される。クリフ（崖）を形成する際に、側壁の傾斜角度をより緩やかにするためには、例えば、所定の混合比（1:1:10、常温）で生成されたリン酸（ H_3PO_4 ）、過酸化水素、水の混合液に半絶縁性GaAs基板

2を浸して化学エッチング処理を施すことにより実現可能である。

(第4実施形態)

図5A、図5B、図5Cは、本発明の第4実施形態に係る半導体受光素子1の概略断面図であり、図5A、図5B、図5Cの各工程は図3A、図3B、図3Cと同様に順次実行される。なお、図5Aは図5DのAA'断面に、図5Cは図5EのAA'断面に対応する。

図5Aに示す様に、半絶縁性GaAs基板2の凹部は、p側オーミック電極6とn側オーミック電極7を結ぶ方向の断面形状が比較的急傾斜の順メサ状になる様に形成されている。この様な断面形状は、例えば、所定の混合比(1:1:10、常温)で生成されたアンモニア水(NH₄OH)、過酸化水素、水の混合液に半絶縁性GaAs基板2を浸して化学エッチングを施すことにより実現可能である。この場合、作製方法によっては表面部分におけるp型GaAs層5の突起を比較的小さくすることができるので、断線の可能性を小さくすることができる。

(第5実施形態)

次いで、図6A、図6B、図6C、図6D、図6Eを参照して、第5実施形態について説明する。図6A、図6B、図6Cは、本発明の第5実施形態に係る半導体受光素子1の概略断面図であり、図6A、図6B、図6Cの各工程は図3A、図3B、図3Cと同様に順次実行される。なお、図6Aは図6DのAA'断面に、図6Cは図6EのAA'断面に対応する。図6Aに示す様に、半絶縁性GaAs基板2の凹部は、p側オーミック電極6とn側オーミック電極7を結ぶ方向の断面形状が緩傾斜の順メサ状になる様に形成されている。この場合、表面部分におけるp型GaAs層5の突起が大きく、p側オーミック電極6の被覆性劣化に伴って断線する可能性が高いので、p側オーミック電極6を厚く形成する必要がある。

(第6実施形態)

図7A、図7B、図7Cは、本発明の第6実施形態に係る半導体受光素子1の

概略断面図であり、図 7 A、図 7 B、図 7 C の各工程は図 3 A、図 3 B、図 3 C と同様に順次実行される。図 7 A は図 7 D の A A' 断面に、図 7 C は図 7 E の A A' 断面に対応する。図 7 に示す様に、半絶縁性 G a A s 基板 2 の凹部は、p 側オーミック電極 6 と n 側オーミック電極 7 を結ぶ方向の断面形状が極めて矩形に近い形状（即ち、側壁を為す 2 辺がほぼ平行な状態）に形成されている。この様な断面形状は、化学エッチングを始めとするウェットエッチングの代わりに、塩素ガス等を用いたドライエッチングを施すことにより実現可能である。この様なエッチング方法によれば、表面部分の突起を極力低減しつつ、凹部のメサ方向を予め考慮することなく任意の方向に電極を配設できる。

（第 7 実施形態）

次いで、図 8 A、図 8 B、図 8 C、図 8 D、図 8 E を参照して、本発明の第 7 実施形態について説明する。なお、これ以降の説明では、記述を簡便にするため、メサ形状や突起等に関する記述を省略することとする。

図 8 A、図 8 B、図 8 C は、本発明の第 7 実施形態に係る半導体受光素子 1 の概略断面図であり、図 8 A、図 8 B、図 8 C の各工程は図 3 A、図 3 B、図 3 C と同様に順次実行される。なお、図 8 A は図 8 D の A A' 断面に、図 8 C は図 8 E の A A' に対応する。本実施形態は、i 型 G a A s 層 4 と p 型 G a A s 層 5 間に、図 8 B、図 8 C に示す様な窓層 4 0 を堆積する点において第 1 実施形態と相違する。

即ち、半絶縁性 G a A s 基板 2 の凹部に、n 型 G a A s 層 3 と i 型 G a A s 層 4（光吸収層）を成長させた後に A l G a A s 層 4 0（窓層）を成長させる。そして、p 型 G a A s 層 5 を成長させる。各 G a A s 層厚は、例えば凹部の深さが 3.5 μm 程度の場合には、n 型 G a A s 層 3 が 1 μm 、i 型 G a A s 層 4 が 2 μm 、A l G a A s 層 4 0 が 0.5 μm 、p 型 G a A s 層 5 が 0.05 μm 程度が好適である。

次に、受光部分に当たる p 型 G a A s 層 5 をエッチングにより選択的に除去し

てAlGaAs層40を露出させる。その後は、第1実施形態と同様に、n型GaAs層3の一部が露出する様に半絶縁性GaAs基板2をエッチングし、反射防止膜8と絶縁膜9を被着後、p側オーミック電極6とn側オーミック電極7を配設する。その結果、半導体受光素子1は、図8Cに示す構造になる。この様な構造によれば、入射光はp型GaAs層5を通らず、近赤外光に対して透明なAlGaAs層40を通過してi型GaAs層4に到達する。従って、p型GaAs層5を厚く形成できると共に受光感度を向上できる。

(第8実施形態)

図9A、図9B、図9Cは、本発明の第8実施形態に係る半導体受光素子1の概略断面図であり、図9A、図9B、図9Cの各工程は図3A、図3B、図3Cと同様に順次実行される。なお、図9Aは図9DのAA'断面に、図9Cは図9EのAA'断面に対応する。本実施形態は、半絶縁性基板として特に半絶縁性InP21を用い、半導体層として、特に1 μ m厚のn⁺-InP31、2 μ m厚のi-InGaAs41、0.05 μ m厚のp⁺-InP51を成長させる点において第1実施形態と相違する。この様な組成とすれば、波長1 μ m以上の赤外光の入射光は、i-InGaAs41により光電変換されその結果光電流が生じる。これにより波長1.7 μ m以下の赤外光の検出が可能となる。

(第9実施形態)

最後に、本発明の第9実施形態について、図10A、図10B、図10C、図10D、図10Eを参照して説明する。図10A、図10B、図10Cは、本発明の第9実施形態に係る半導体受光素子1の概略断面図であり、図10A、図10B、図10Cの各工程は図3A、図3B、図3Cと同様に順次実行される。なお、図10Aは図10DのAA'断面に、図10Cは図10EのAA'断面に対応する。

本実施形態は、第8実施形態と略同一であるが、凹部内に1 μ m厚のp⁺-InP52を成長後、2回の選択的拡散又はイオン注入により、n-InPガードリング

12を含む $n^+ - InP$ 11を形成する点において異なる。これにより、本発明を
pin型フォトダイオードのみならず、APD (Avalanche Photo Diode) にも適
用可能となる。すなわち、32として $p^+ - InP$ 、42として $p - InGaAs$ 、
52として $p - InP$ を成長後、2回の選択的拡散又はイオン注入により、 $n - In$
5 P ガードリング12を含む $n^+ - InP$ 11を形成する。これにより、APDをも
形成することが可能である。

尚、本発明に係る半導体受光素子、及びその製造方法は、上記実施形態に記載
の態様に限定されるものではなく、他の条件等に応じて種々の変形態様をとるこ
とが可能である。例えば、上記各実施形態では第3実施形態を除き、p側オーミ
10 ック電極6とn側オーミック電極7を、凹部を挟んで対向する位置に配設する例
について説明したが、上面において各電極と凹部底面中心の成す鋭角が所定の角
度（例えば90°）となる様に配設する構成としてもよい。

また、凹部及び各電極の上面形状についても円形に限らず方形等任意である。
更に、上記各実施形態では、p型半導体層をn型半導体層の上層に形成したが、
15 これとは逆にn型半導体層をp型半導体層の上層に形成してもよい。その他、半
導体受光素子の細部構成に関しても、本発明の趣旨を逸脱することのない範囲で
適宜変更可能である。

以上説明した様に、本発明に係る半導体受光素子によれば、p側、n側の各電
極を双方とも平坦面上に配置できるので断線や絶縁不良を抑止できる。その結果、
20 歩留まりと再現性の高い半導体受光素子を実現できる。

また、本発明に係る半導体受光素子の製造方法によれば、特殊なエッチング技
術を使うことなく、信頼性の高い半導体受光素子を容易に製造できる。

産業上の利用可能性

本発明は、受光素子に適用可能である。

請求の範囲

1. 夫々高さの異なる上段面、中段面、下段面を上面部に有し、前記下段面が前記上段面と前記中段面との間に位置する半絶縁性基板と、

5 前記下段面の直上に形成され、前記中段面と同等の高さの平坦面状に形成された第1上面部と、該第1上面部と同等或いは高位の高さである第2上面部を有する、第1不純物を含む第1半導体層と、

前記第1半導体層の第2上面部上に形成され、前記上段面と同等の高さの平坦面状に形成された上面部を有する、第2不純物を含む第2半導体層と、

10 前記第1半導体層の第1上面部と前記半絶縁性基板の中段面の上に両者を跨いで設けられた第1電極と、

前記第2半導体層の上面部と前記半絶縁性基板の上段面の上に両者を跨いで設けられた第2電極と、

を備えたことを特徴とする半導体受光素子。

15 2. 前記第1半導体層と前記第2半導体層間に形成され、前記第1半導体層又は前記第2半導体層と比較してキャリア濃度の低い第3半導体層、を更に備えたことを特徴とする請求項1記載の半導体受光素子。

3. 前記半絶縁性基板の上段面と下段面の高低差より成る段差部分は、前記下段面から前記上段面に向かう方向で、上段面と中段面で形成される窪みの半径方向に傾斜していることを特徴とする請求項1又は2記載の半導体受光素子。

20 4. エッチングにより半絶縁性基板に所定の深度を有する凹部を形成する第1の工程と、

前記第1の工程にて形成された前記半絶縁性基板の凹部にのみ選択的に、第1不純物を含む第1半導体層と第2不純物を含む第2半導体層を積層する第2の工程と、

25 前記第2の工程にて積層された前記第1半導体層の少なくとも一部が露出する様に、前記半絶縁性基板の一部を更にエッチングする第3の工程と、

前記第 3 の工程にて露出された前記第 1 半導体層の露出部分に接触する第 1 電極、及び前記第 2 半導体層に接触する第 2 電極を前記半絶縁性基板上に配設する第 4 の工程と、

を含むことを特徴とする半導体受光素子の製造方法。

- 5 5. 前記第 2 の工程では、気相成長法により前記第 1 半導体層と前記第 2 半導体層を積層することを特徴とする請求項 4 記載の半導体受光素子の製造方法。

- 10 6. 前記第 1 の工程では、前記半絶縁性基板の凹部を、前記第 1 電極と前記第 2 電極を結ぶ方向の断面形状における側壁部分の内、少なくとも第 2 電極側の側壁部分が逆メサ状になる様に形成することを特徴とする請求項 4 又は 5 記載の半導体受光素子の製造方法。

図1A

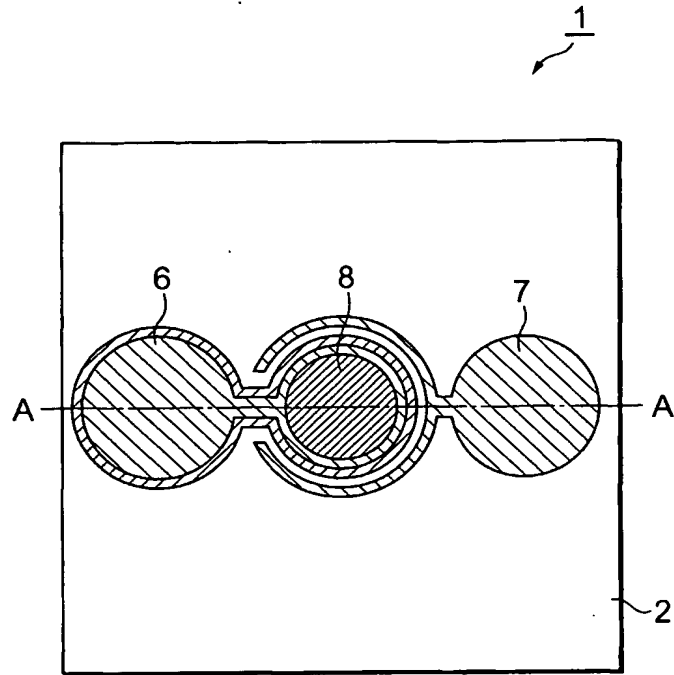


図1B

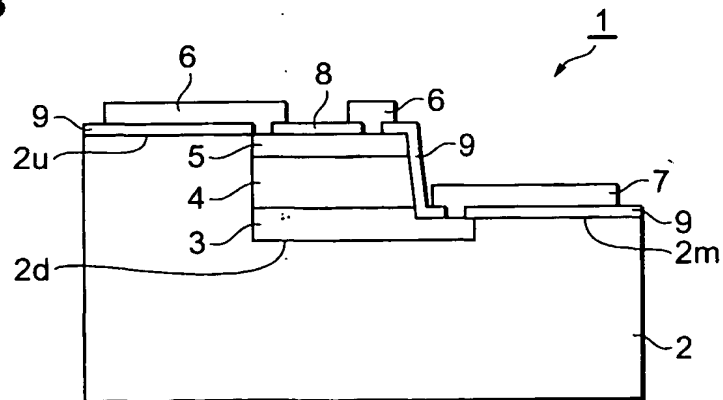


図2A

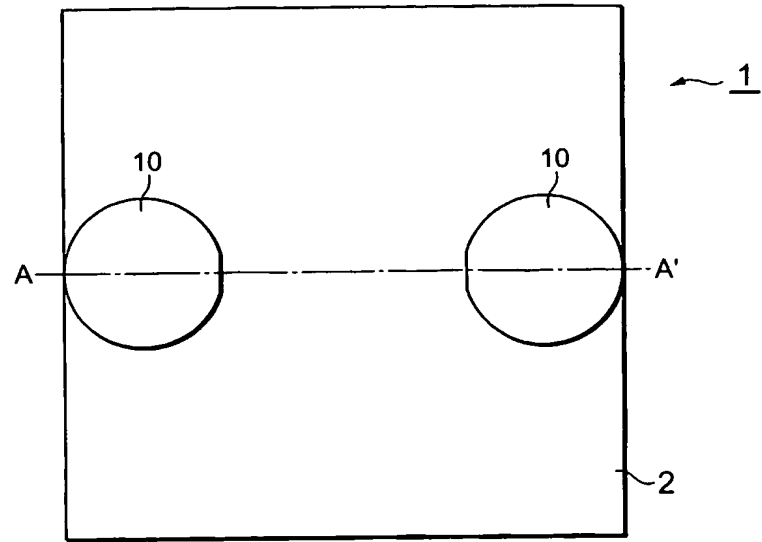


図2B

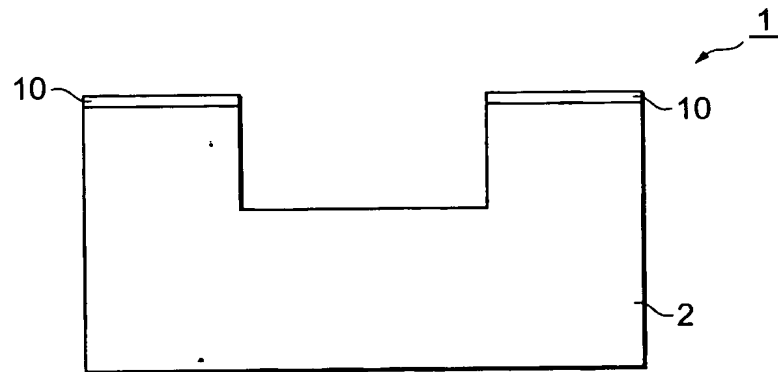
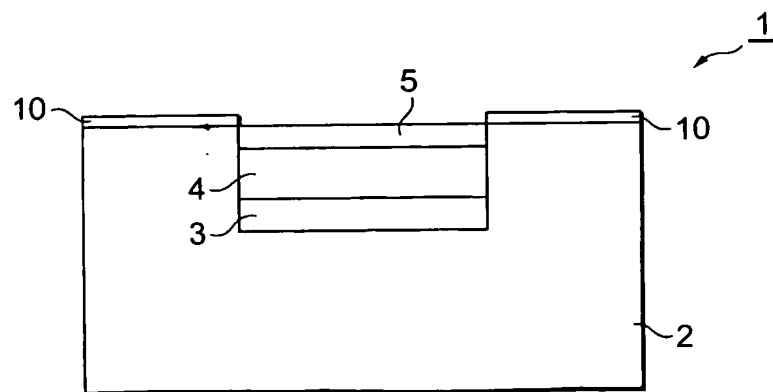


図2C



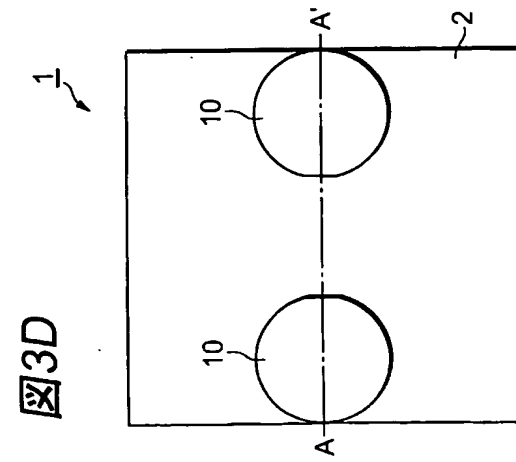
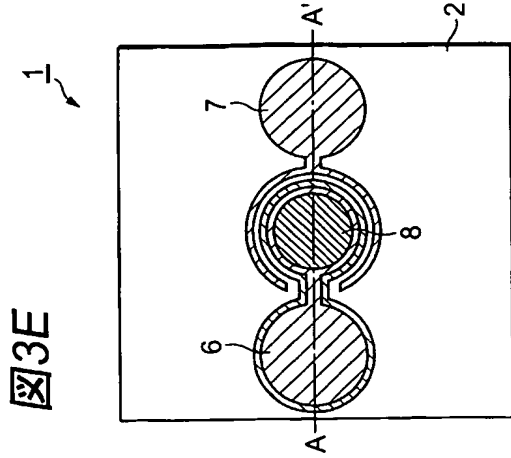
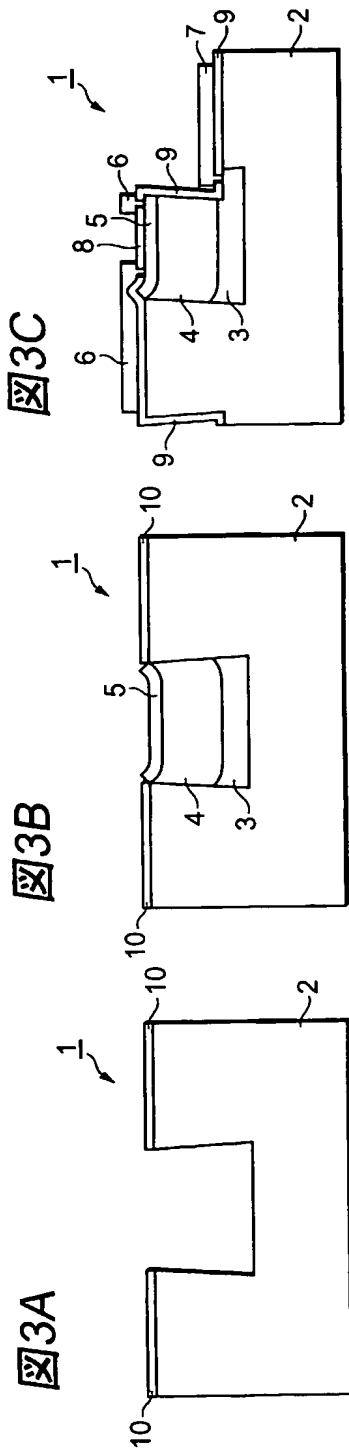


図4A

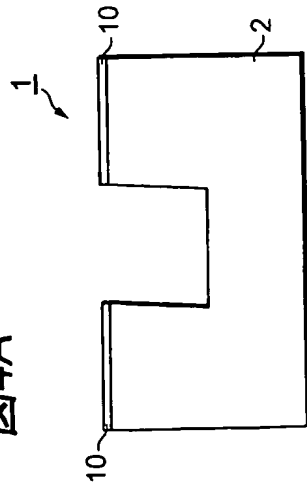


図4B

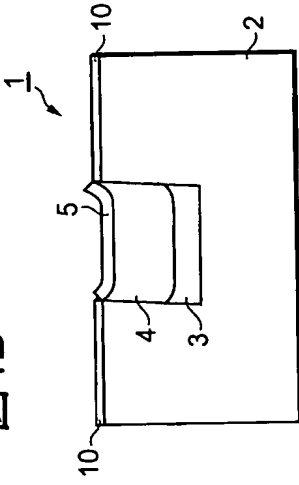


図4C

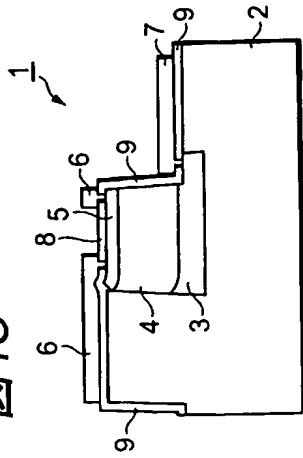


図4D

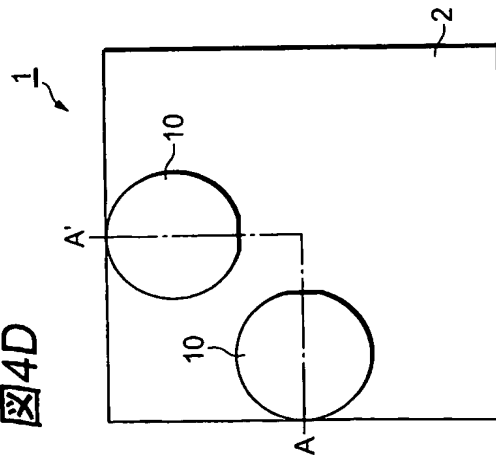


図4E

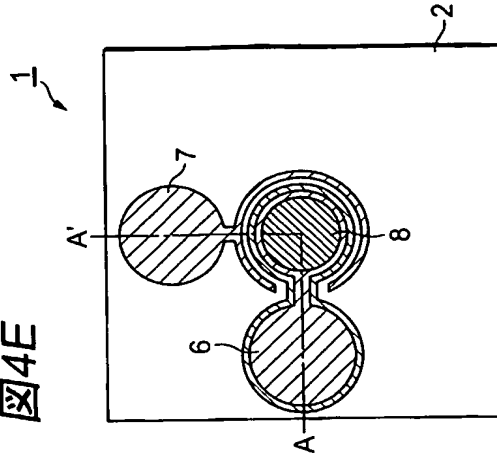


図5A

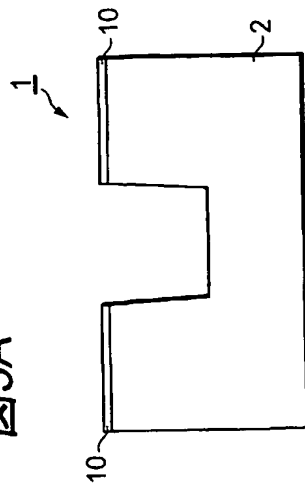


図5B

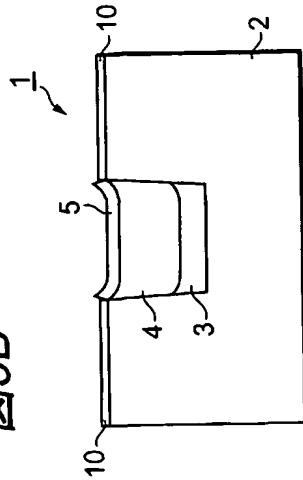


図5C

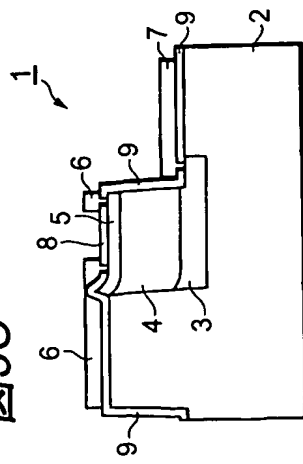


図5D

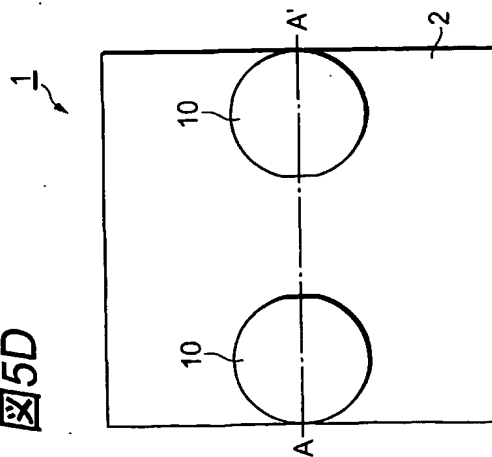
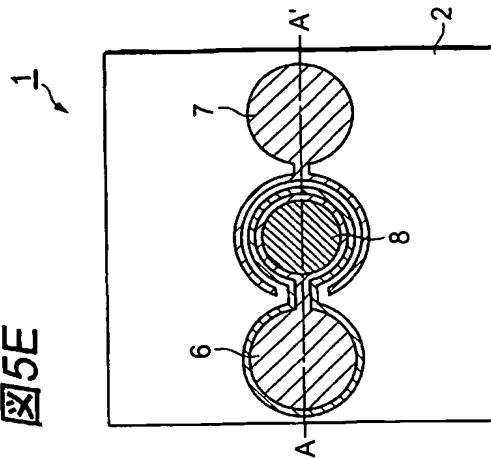
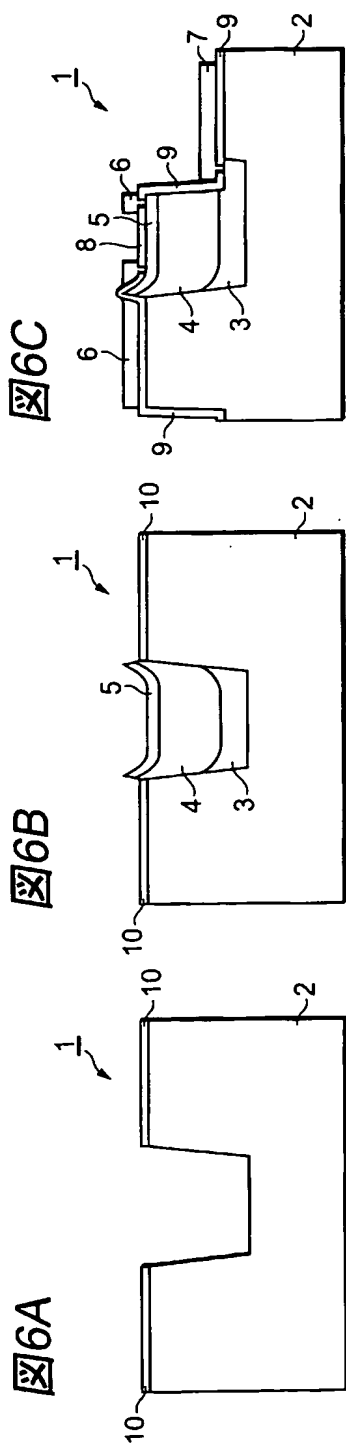
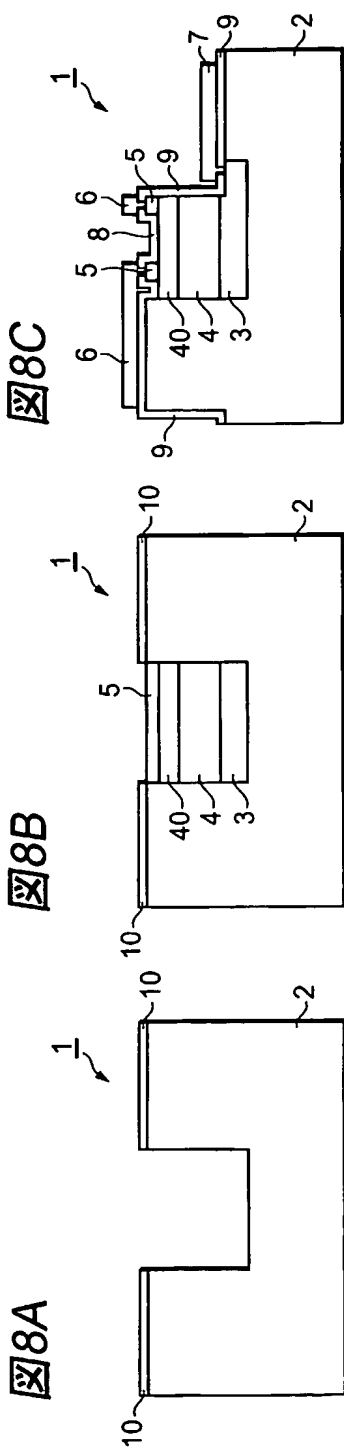
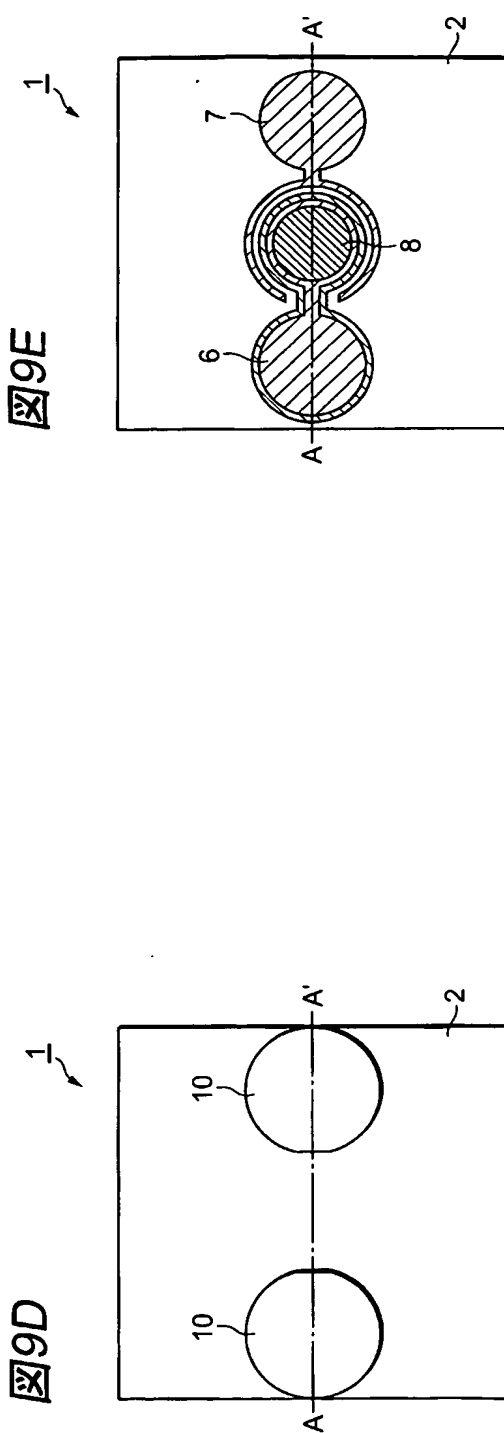
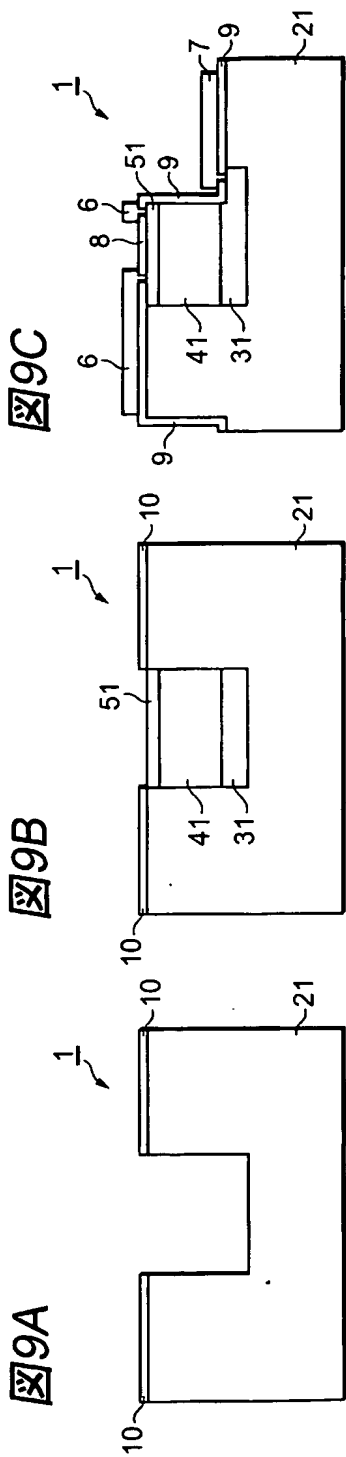


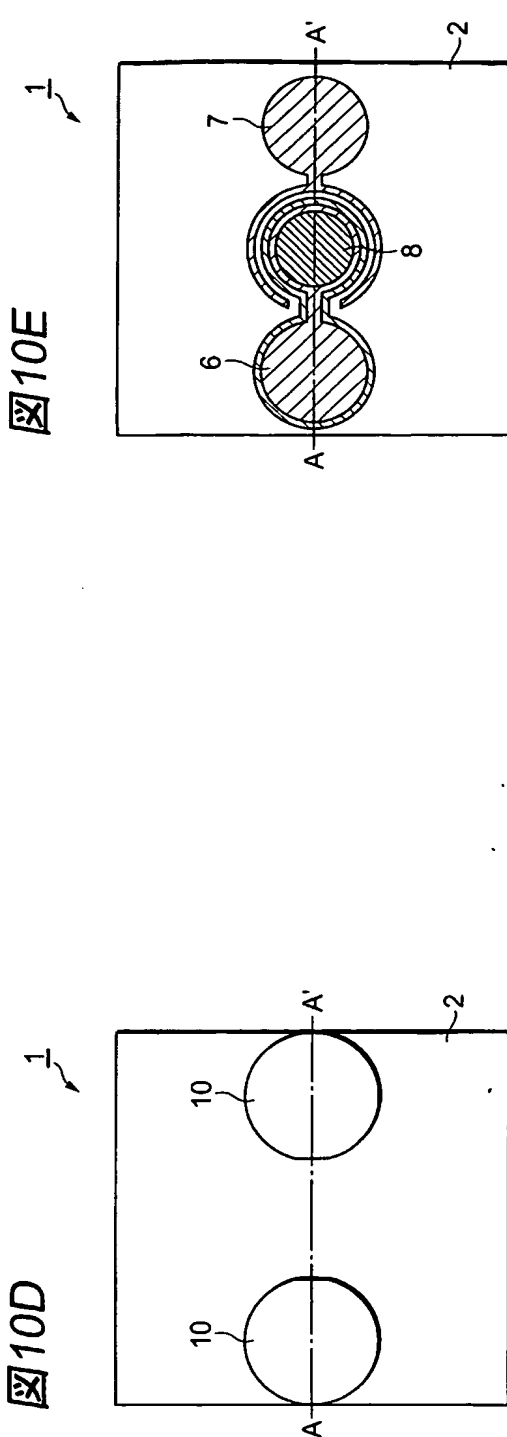
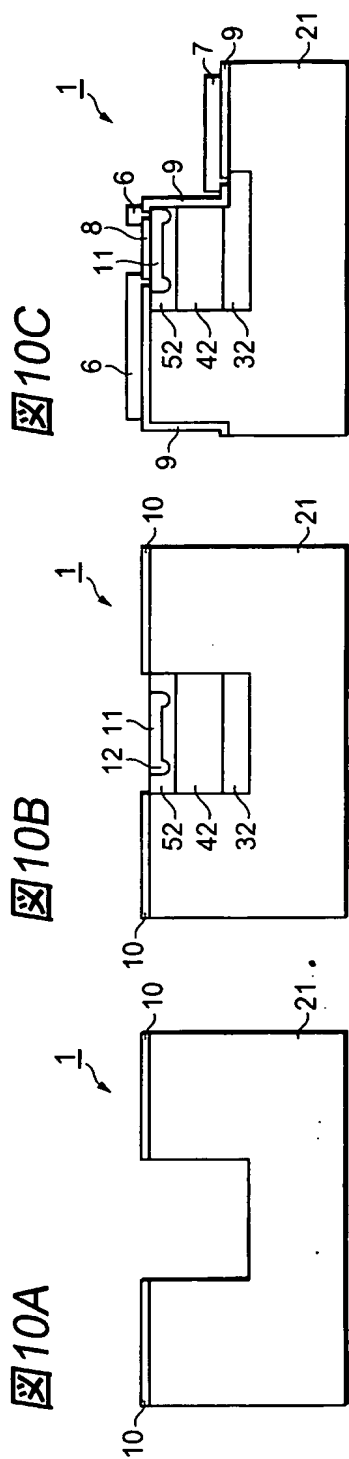
図5E











INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13717

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L31/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L31/10-31/119

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 158900/1985(Laid-open No. 65851/1987) (NEC Corp.), 23 April, 1987 (23.04.87), Full text; Figs. 1 to 2 (Family: none)	1-6
A	JP 02-163979 A (Sumitomo Electric Industries, Ltd.), 25 June, 1990 (25.06.90), Full text; Figs. 1 to 4 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 04 April, 2003 (04.04.03)	Date of mailing of the international search report 22 April, 2003 (22.04.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13717

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-307805 A (Japan Aviation Electronics Industry Ltd.), 05 November, 1999 (05.11.99), Full text; Figs. 1 to 5 (Family: none)	1-6
A	JP 63-285971 A (Fujitsu Ltd.), 22 November, 1988 (22.11.88), Full text; Figs. 1 to 5 (Family: none)	1-6
A	EP 0162677 A (FUJITSU LTD.), 27 November, 1985 (27.11.85), Full text; Figs. 1 to 13 & JP 61-001026 A & US 5001080 A & US 4719498 A & DE 3587588 A & KR 894479 B	1-6
A	JP 02-214160 A (Mitsubishi Electric Corp.), 27 August, 1990 (27.08.90), Full text; Figs. 1 to 4 (Family: none)	1-6

国際調査報告

国際出願番号 PCT/JPO2/13717

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 31/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 31/10 - 31/119

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	日本国実用新案登録出願 60-158900 号 (日本国実用新案登録出願公開 62-65851 号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (日本電気株式会社) 1987.04.23, 全文, 図 1-2 (ファミリーなし)	1-6
A	JP 02-163979 A (住友電気工業株式会社) 1990.06.25, 全文, 第 1-4 図 (ファミリーなし)	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

04.04.03

国際調査報告の発送日

22.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柏崎 康司



2K 3106

電話番号 03-3581-1101 内線 3253

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-307805 A (日本航空電子工業株式会社) 1999. 11. 05, 全文, 図1-5 (ファミリーなし)	1-6
A	JP 63-285971 A (富士通株式会社) 1988. 11. 22, 全文, 第1-5図 (ファミリーなし)	1-6
A	EP 0162677 A (FUJITSU LIMITED) 1985. 11. 27, 全文, Fig. 1-13 & JP 61-001026 A & US 5001080 A & US 4719498 A & DE 3587588 A & KR 894479 B	1-6
A	JP 02-214160 A (三菱電機株式会社) 1990. 08. 27, 全文, 第1-4図 (ファミリーなし)	1-6